

DDA-70B-AES

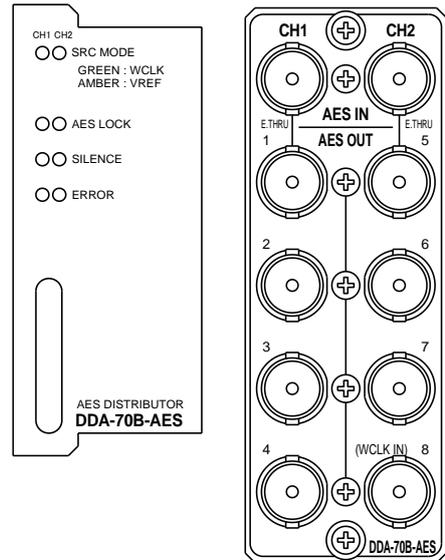
DDA-70B-AES は、サンプルレートコンバーター(SRC)付の AES/EBU 分配器です。2 系統の独立した入力があり、それぞれ 4 分配することができます。内部の設定で 1 入力を 8 分配することもできます。SRC 機能は 2 系統の入力に対して個別に ON/OFF 可能で、リファレンスソースは、Vbus 筐体のリファレンス信号、及び外部入力の WCLK、DARS 信号に対応します。WCLK、DARS 信号を使用する場合、AES OUT8 のコネクタが WCLK/DARS 信号入力になります。

■特長

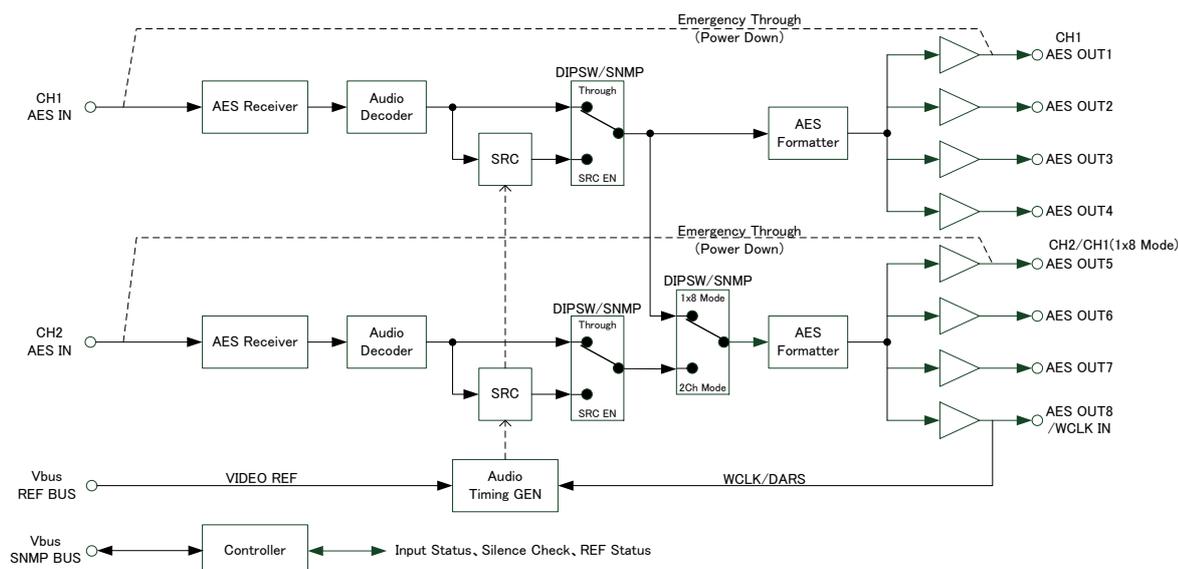
- ✓ AES/EBU 信号は 32/44.1/48/96kHz の信号に対応
- ✓ SRC を有効にした時、リファレンス信号に同期した 32/44.1/48/96kHz のサンプルレートに変換出力 ※1、※2
- ✓ リファレンス信号に WCLK、DARS 信号を使用した場合、L/R 位相も同期 ※2、※3
- ✓ リファレンス信号に Vbus の映像同期信号を使用した場合、映像に同期した 48kHz のサンプルレートに変換 ※2
- ✓ 設定で 1 系統の信号を 8 分配することも可能
- ✓ 無音検知、AES フォーマット監視、リファレンス信号監視機能を搭載し、問題発生時に SNMP トラップを発報
- ✓ 電源断時のエマージェンシースルー機能を内蔵

※1 SRC 機能を有効にした場合、ユーザービットは非通過です。チャンネルステータスに

ついては、出力のサンプルレート情報に合わせて基本情報を書き換えます。ディエンファンスフラグは通過します。設定により、50/15 μS プリエンファンス信号を検出し、ディエンファンスフィルターを有効にすることが可能です。 ※2 SRC 機能有効設定でリファレンス信号が無い場合、SRC をバイパスして入力信号を無加工で分配出力します。 ※3 WCLK、DARS 信号を使用する場合 AES OUT8 がリファレンス入力端子となるため、CH2 側の分配数は 3 に制限されます。



ブロック図



機能

分配モード設定

基板上的のスイッチで 2 種類の分配モードを選択します。2 系統の信号を各4分配する設定と、1 系統の信号を 8 分配する設定があります。SNMP制御を有効にするとネットワーク経由で設定することも可能です。

動作モード設定

基本設定を基板上的の DIPSW で行うハード設定モードと、ネットワーク経由で行うソフト設定モードがあります。ハード/ソフト設定モードの切り替えは基板上的の DIPSW で行います。

SRC(サンプルレートコンバーター)

入力系統ごとに SRC の ON/OFF を設定できます。SRC のリファレンスソースは、Vbus のリファレンス信号 (BBS/HD-SYNC)、または WCLK (ワードクロック)、DARS 信号に対応します。Vbus のリファレンス信号を用いた場合、出力音声のサンプルレートは 48kHz に固定されます。WCLK、DARS 信号を使用する場合は、AES OUT8 がリファレンス入力端子になります。出力音声のサンプルレートは、WCLK、DARS の周波数に追従し、32/44.1/48/96kHz に対応します。

50/15 μ S ディエンファシスフィルター

SRC 機能有効時、50/15 μ S プリエンファシスフラグを検出し、ディエンファシスフィルターを有効にすることが可能です。工場出荷時は無効。

VBUS ALARM出力

Vbus 筐体の接点 TALLY 出力端子よりアラーム信号を出力することができます。アラーム出力の条件は、サンプルレート 32/44.1/48/96kHz の AES/EBU 信号、WCLK 信号を検出できない時、及び SRC 機能有効時のリファレンス信号未検出状態です。アラーム出力機能は基板上的のスイッチ、または SNMP で有効/無効の設定ができます。

SNMP監視

・AES信号

インプットエラー(信号断、AESフォーマットエラー等)、サイレンスエラー(閾値-40~-80dBFS、時間3~90秒)を監視し、問題発生時にSNMPトラップを発報し、Logに内容を記録します。

・リファレンス信号

信号断、周波数、を監視し、問題発生時にSNMPトラップを発報し、Logに内容を記録します。※SRC機能未使用時は監視対象から外れます。

エマージェンシースルー

電源断時、エマージェンシースルー機能が働きます。分配モードに関係なく、CH1の入力がAES OUT1、CH2の入力がAES OUT5へバイパスされます。

定 格

入力信号

・AES IN CH1、CH2	AES3id準拠、0.2-2.5Vp-p/75Ω、BNC 各1系統
・WCLK IN ※1	32/44.1/48/96kHzワードクロック、またはDARS信号 0.2-2.5Vp-p/75Ω、BNC 1系統

※1 ワードクロック/DARS信号をリファレンス信号として入力する場合、WCLK IN端子を使用します。WCLK IN端子はAES OUT8と兼用しており、DIPSW、またはSNMP経由で機能を選択します。

出力信号

・AES OUT 1~8	AES3id準拠、1.0Vp-p±20%/75Ω、BNC 各1系統
--------------	-----------------------------------

動作温度	0~40°C
------	--------

動作湿度	20~80%RH(ただし結露なき事)
------	--------------------

質量	0.4kg(コネクタモジュールを含む)
----	---------------------

消費電力	4VA (5V, 0.8A)
------	----------------

性 能

入力特性

・AES IN CH1、CH2	
分解能	24bit
サンプリング周波数	32k/44.1k/48k/96kHz
・WCLK IN	
対応周波数	32k/44.1k/48k/96kHz

出力特性

・AES OUT 1~8	
分解能	24bit
サンプリング周波数	32k/44.1k/48k/96kHz
出力遅延(SRC OFF)	約 60ns
出力遅延(SRC ON)	入出力のサンプルレートが同じ時、 32kHz 約 650μs、44.1k/48kHz 約 500μs、96kHz 約 300μs 96k→44k/48k 変換時は約 1ms、44k/48k→32k 変換時は約 2ms
周波数特性(SRC ON)	10~19kHz ±0.02dB 以内、19~20kHz -0.2dB 以内 ※入出力のサンプルレート 48kHz の信号の時
出力位相(SRC ON)	約±100ns 以内 ※WCLK、DARS 信号入力時

注: 外観及び仕様は変更することがあります。